

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 55-099762

(43) Date of publication of application : 30.07.1980

(51) Int.Cl.

H01L 27/06
G11C 11/34
H01L 29/78

(21) Application number : 54-007126

(71) Applicant : HITACHI LTD

(22) Date of filing : 26.01.1979

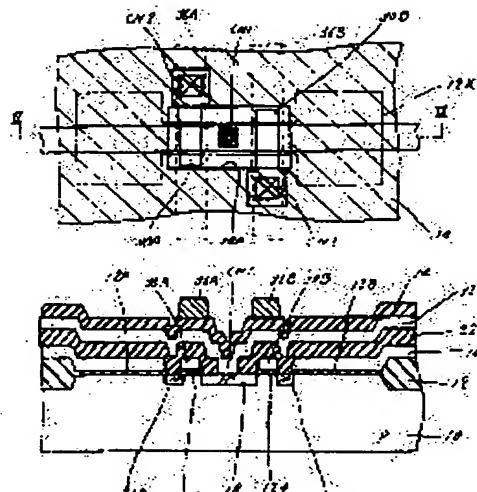
(72) Inventor : KAWAMOTO HIROSHI

(54) SEMICONDUCTOR MEMORY DEVICE

(57) Abstract:

PURPOSE: To make it possible to get high speed operation without lowering reliability by forming the surface electrode of an information storage capacitor, the gate of an information transfer IGFET and a digit line by using the 1st, 2nd and the 3rd layers poly-silicon.

CONSTITUTION: Field oxide film 12 consisting of SiO₂ is formed on P-type Si semiconductor substrate 10 by selective diffusion, and outline 12X for forming an active region is provided here. Inside this are placed thin silicon oxide films 12A, 12B, 12a, 12b, which have been formed by heat oxidization. The 2nd poly-silicon layers 30A, 30B provided on films 12a and 12b are used only as the gate electrodes of the 1st and 2nd IGFET, and not used as a word line simultaneously. A digit line, to be connected to N⁺-type common source region 18 by means of contact CN1, is formed of the 3rd poly-silicon layer 32. A word line which crosses digit line 32 is formed of the 4th metal layers 36A and 36B.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

① 日本国特許庁 (JP)

① 特許出願公開

② 公開特許公報 (A)

昭55-99762

③ Int. Cl.³
H 01 L 27/06
G 11 C 11/34
H 01 L 29/78

識別記号

101

府内整理事番号

6426-5F
7922-5B
6603-5F

④ 公開 昭和55年(1980)7月30日

掲明の数 1
審査請求 未請求

(全 4 頁)

⑤ 半導体記憶装置

⑥ 特願 昭54-7126
⑦ 出願 昭54(1979)1月26日
⑧ 発明者 川本洋
小平市上水本町1450番地株式会社

社日立製作所コンピュータ事業
本部デバイス開発センター内

⑨ 出願人 株式会社日立製作所
東京都千代田区丸の内1丁目5
番1号

⑩ 代理人 弁理士 寺田利幸

明細書

発明の名称 半導体記憶装置

特許請求の範囲

1. 地板ゲート電界効果トランジスタによって情報蓄積用キャッシュメモへの情報蓄積の出し入れを制御するようにした1トランジスタ形式のセル構造をせなえ、となりカラセルのトランジスタの共通ソース領域に接続したゲート線を各々のセルのトランジスタのゲートに対応して接続したワード線とは逆変交するよう配線して成る半導体記憶装置において、位相キャッシュメモの接続電圧と、前記トランジスタのゲートと、位相ゲート線とをいずれもボリシリコンで形成すると共に、前記ワード線を前記ゲート線に上から直なみ金属層で形成したことを持つとする半導体記憶装置。

発明の詳細な説明

この発明は、地板ゲート電界効果トランジスタ(以下、IGFETといふ)によって情報蓄積用キャッシュメモへの情報蓄積の出し入れを制御するようした1トランジスタ形式のセル構造を有す

本半導体記憶装置に関する。

一般に、この様な半導体記憶装置は、その1づつノードセルの構成回路を第1回にかしてあるように、情報伝送用のIGFETをひと、情報蓄積用キャッシュメモからなるメモリセルをワード線W₁及びデジット線D₁の交叉点に対応して多角偏マトリクス状に配線することによって構成され、あるいは示すようにワード接続电压V₁を0Vから既定の高电压にすることによってキャッシュメモの情報電荷をIGFETを介してデジット線D₁に脱出し、"0"情報に対応したデジット接続电压V₀、又は"1"情報に対応したデジット接続电压V₁を得ふようになっている。そして、このような半導体記憶装置は、第3回及び第6回に示すようにセンスアンプSAに接続される一対のデジット線D₁に対して各ワード線W₁しがどうに交叉するかとの構成から一交点方式のものと二交点方式のものとに大別されるのが普通である。すなわち、一交点方式のものは限りなくなすよう1つのセンスアンプSAに接続される一対のデジ

(1)

(2)

ト端子に対して各ワード線をしがさ回しが交叉しないものであり、二交点方式のものは1つのセンスアンプS/Aに接続される一对のデジット端子に対して各ワード線をしがさ回交叉するものである。

上記のようなワード線-デジット交叉配線は、当社にセラミック基板及び周辺回路配線に採用を及ぼすものであり、二交点方式の構造は二交点方式のものに比べてセル及び周辺回路配線が複雑で、回路高集成化に適さない欠点がある。このため、最近の構造は殆ど二交点方式のものになってしまり、その代表的なセル構造は第3回及び第6回に何示されている。

第3回及び第6回は、近接の二交点方式の半導体配線構造となり合計一对のチャップの構造を示すもので、これらの回路において、10はP型シリコンからなる半導体基板、13は基板表面を活性化して形成したSiO₂からなる薄いフィルム、13Xはフィルム上に形成したSiO₂及びアタッチャメント用被膜が重ねた開口部又は

(3)

特開昭55-95762(2)
その構造を示すものである。アタッチャメント用開口部13X内の活性化部には熱処理により形成された薄いシリコンオキサイド膜13A、13B、13C、13Dが配置されている。シリコンオキサイド膜13A、13Bはそれぞれ第1及び第3の情報蓄積用キャパシタの誘電基板として作用するものであり、シリコンオキサイド膜13C、13Dはそれぞれ第1及び第3のIGFETのゲート誘電膜として作用するものである。

シリコンオキサイド膜13A、13Bの上には第3回に示すよう開口部13Aを有する第1層配線としてのポリシリコン膜13EがCVD法などにより形成されている。このポリシリコン膜13Eは、CVDの過程で又はその後にリン等の不純物が高濃度にドープされるとによって低抵抗化されているもので、シリコンオキサイド膜13A、13B上に位置する部分がそれぞれ第1及び第3の情報蓄積用キャパシタの誘電基板として作用するようになっている。一方、シリコンオキサイド膜13C、13Dの上にはそれぞれ第1

(4)

(4)

及び第3のIGFETのゲートないレワード線として作用するポリシリコン膜13A、13Bが形成されている。これらのポリシリコン膜13A、13BはCVD法等により低抵抗の第3層配線として形成されるもので、第3回に示すようポリシリコン膜13Eの開口部13Aを接続するよう平面バターンで、しかも開示しないSiO₂などの層間絶縁膜を介してポリシリコン膜13Eから接続された形で形成されている。

N⁺電極膜13、20A、20Bはポリシリコン膜13、13A、13Bを形成後、これらをマスクとしていたいわゆる自回路方式の抵抗及びノズルはイオン打点等の処理で形成されたもので、N⁺電極膜13は第1及び第3のIGFET共通のソース電極として、またN⁺電極膜20A、20Bはそれぞれ第1及び第3のIGFETのドレイン電極として作用するようになっている。

ポリシリコン膜13、13A、13Bの上には、S10、などの層間絶縁膜23がCVD法等により形成されており、この層間絶縁膜23の上に、ワ

13E

ード線用ポリシリコン膜16A、16Bと接続するよう丸み等からなるデジット用金属性膜16Cが形成されている。この金属膜16Cは、第3層目の配線として電着法等により形成されるもので、その一部分16Dは接続膜23に設けたコントラクト孔を介して共通ソース電極20A又は20Bと接続している。

上記構造の半導体装置は、二交点方式のものに比べてセル及び周辺回路配線が複雑で、高密度集成化に好適である利点を有する反面、ワード線がポリシリコンで形成されているためその抵抗が大きく、動作速度が遅い欠点がある。すなわち、通常ワード線の容量は3~5pFであり、ワード線をポリシリコンで形成するとその配線抵抗は10~40KΩとなる。このため、かような容量と抵抗分による信号遮断作用が相当大きくなり、信号遮断しない遮断速度が低く問題されることとなる。いま第3回を参照して記述時の動作週期を例示すると、ワード線に遮断ペルスを印加してからワード線電圧V_Wが発生するまでの時間は約

13E

(5)

四

8.0～6.0 nsec の時間を探する。そして、このような時間遅れの後、情報伝送用 IGFET が十分遅延してから“1”又は“0”に対応したデジタル電圧 V_D 又は V_D が電荷部に通する。一方、センスアンプは情報伝送信号が約 1.0～2.0 nsec で電荷部に通するため情報伝送用 IGFET が十分遅延する以前に増幅動作を開始している。しかし、上述のようにワード線ないしデジタル部の電圧立ち上がりが遅いのではいくらセンスアンプの動作開始が遅くても駆出速度は遅くならざるものである。

なお、ワード線抵抗を減らして動作速度を高めるためには、第 1 回及び第 2 回に示した装置において、ワード線 16A、16B を△と等の金属で形成することを考えられるが、これではその形成手段として蒸着回路を用いることになるため駆出用（例えばフィールドオキサイド露口部 13X）で断続が生じやすく、装置の信頼性が低下する欠点がある。

従って、この発明の目的は、信頼性を低下させ

ることなく高速動作を可能にした改良された二交点方式の半導体記憶装置を提供することにある。

この発明の一実施例による半導体記憶装置は、情報伝送用チャップの部分電圧を約 1.0 nsec リード線で、情報伝送用 IGFET のゲートを他の層のボリシリコンで、デジタル部を他の層のボリシリコンでそれぞれ形成すると共に、ワード線を異なる層の金属層で駆出したことを利用とするものであり、以下、動作回路について詳述する。

第 8 回及び第 9 回は、この発明の一実施例による 1 トランジスタ型セル構成を有する二交点方式の半導体記憶装置を示すもので、特に第 8 回はとなり合うセルの半導体部を、第 9 回は第 8 回と同一層に取り回路をそれぞれ示している。これらの場合において、第 8 回及び第 9 回にかけて同様な部分には同様な符号を付してその詳細な説明を省略する。第 8 回及び第 9 回に示した装置の各部とするところは、第 1 回ゲート絶縁層としてのシリコンオキサイド膜 1.0 μ 上にそれぞれ記

図 8

示した半導体ボリシリコン膜 8.0A、8.0B をそれぞれ第 1 及び第 2 の IGFET のゲート電極としての用いるようにし、ワード線に採用しないようにしたこと、第 2 の N^+ 集共通ソース端子 18 にコンタクト部 CN 1 にて接続されるデジタル部を第 8 回のボリシリコン膜 8.0 で形成したこと、第 8 にデジタル部 8.0 と直交するワード線を ... 8 のような 6 層目の金属層 8.0A、8.0B で形成し、これらの金属層 8.0A、8.0B の各一端部 CN 3、CN 3 と 8.10、などからなる隔間部膜 8.0 の対応するコンタクト孔を介してゲート用ボリシリコン膜 8.0A、8.0B にそれぞれオーバーハングを設けるようにしたことである。なお、上記実施例において、IGFET のゲートを 1 層目ボリシリコンで形成し、チャップの駆出電圧を 2 層目ボリシリコンで形成するようにしてもよい。

上記したこの発明の構成によれば、金属層 8.0A、8.0B のシート抵抗を 1.0/μ に駆出に低下させることからワード線の駆出抵抗を大幅に減らし、高速動作を行なわせることが可能になる。こ

の A、ボリシリコンのシート抵抗は 1.0/μ 以下に低下させるのが困難であり、この発明によればワード線の駆出抵抗を発案の約 1/10 に駆出に低下させることができる。また、ワード線の駆出抵抗の低下は、装置の影響で生ずる駆出動作を防止し、動作の安定性を高める点でも有益である。ちなみに、この発明の構成では、デジタル部、IGFET までのゲート及びチャップの部分電圧がいずれもボリシリコンで構成され、比較的駆出の少ない最上層（最も厚）のみが金属配線となっているので、断線事故の発生を最少限にかさえることができ、高い信頼性を確保することができる。なお、この発明の装置は二交点方式のものであるから、二交点方式のものの欠点を併わないことは明らかであろう。

図 9

回 9 は、1 トランジスタ型セル構成の各部構成図、第 2 回は、第 1 回の回路の動作を説明するためのタイムチャート、第 3 回及び第 4 回はワード線及びデジタル部の配線を示す平面上的、第 5

回

回

当は、乾電の1トランジスタセル構造の半導体記憶装置の電極記憶を示す上部図、第6図は、第1図の構造の第一切削に沿う断面図、第7図は、第6図の構造の動作を説明するためのタイムチャート、第8図は、この発明の一実施例による1トランジスタセル構造の半導体記憶装置の電極記憶を示す上部図、第9図は、第8図の構造の第一切削に沿う断面図である。

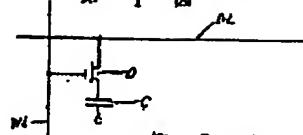
16—半導体基板、18、18A、18B、18C、18D—シリコンオキサイド膜、14—チャップシートの板の電極としてのポリシリコン層、16A、16B—ゲート・ワード膜用ポリシリコン層、18—共通ソース板膜、20A、20B—ドレイン板膜、32、34—周囲板膜、36—ゲート膜用金属膜、38A、38B—ゲート用ポリシリコン層、36—ゲート膜用ポリシリコン層、36A、36B—ワード膜用金属膜。

代理人弁理士 鹿田 利幸

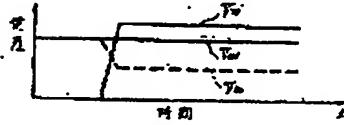
05

特開昭55-99762(4)

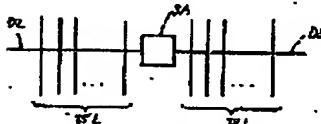
第1図



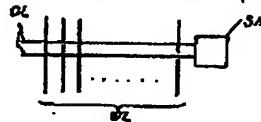
第2図



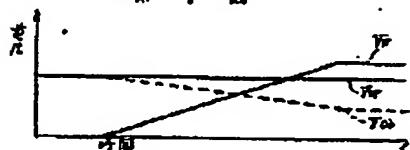
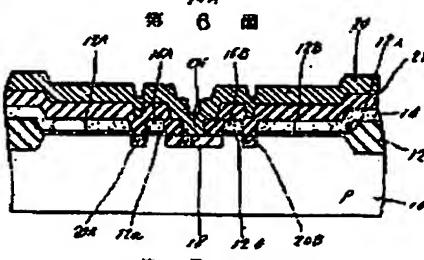
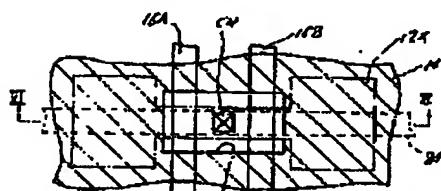
第3図



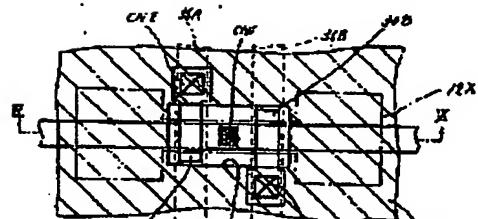
第4図



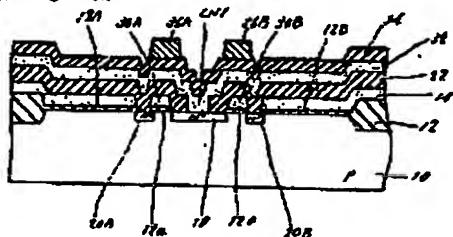
第5図



第8図



第9図



昭 61. 4. 15 発行

特許法第17条の2の規定による補正の掲載

昭和 54 年特許第 7126 号 (特開 昭 55-99763 号、昭和 55 年 1 月 18 日
発行 公開特許公報 55-998 号掲載) につ
いては特許法第17条の2の規定による補正があつ
たので下記のとおり掲載する。 7 (1)

Int.CI. 4	類別記号	府内整理番号
H01L 27/06		6655-57
G11C 11/34	101	8532-58
H01L 29/08		8422-59

手 布 布 正 五 (直見)

昭和 61 年 1 月 24 日

特許局長官印

事件の表示

昭和 54 年 特許第 7126 号

発明の名称

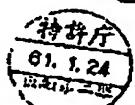
半導体記憶装置

方 式 ①
審査補正をする者
事件との関係 特許出願人

名 称 (510) 株式会社 日立製作所

代 理 人
局 所 〒109 東京都千代田区丸の内一丁目5番1号
株式会社日立製作所内
電話 東京 212-1111 (大代表)

氏 名 (5650) 弁理士 小川勝男

補正の方法
距離の特許請求の範囲の補正

補正の内容

1. 明細書の特許請求の範囲の記載を別紙のとおりに補正する。

別紙

特許請求の範囲

1. 逆偏ゲート型電界効果トランジスタによって
情報書き込み用キャパシタへの情報電荷の出し入れを
制御するようにしたメモリセルと、各メモリセル
の逆偏ゲート型電界効果トランジスタのゲート間
を電気的に遮断するための遮断用配線とを組んで
なる二重底方式の半導体記憶装置であつて、上記
ゲートの電源計測と上記遮断用配線の材料とを異
なる化することを特徴とする半導体記憶装置。

代理人 弁理士 小川勝男



(46)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.